Quartus Nios II Guide

(For developer team)

## Revision History

|  |  |  |  |
| --- | --- | --- | --- |
| Revision | Author/ Date | Description | Reviewer |
| 0.0.1 | Shawn ZS Wang/ Nov 19, 2024 | First draft |  |
| 0.0.2 | Shawn ZS Wang/ Nov 20, 2024 | Add 3.4“使用Eclipse SBT…”  Finish qsys part |  |
| 0.0.3 | Shawn ZS Wang/ Nov 21, 2024 | Add “Q&A”, 3.2, 3.3 |  |
| 0.0.4 | Shawn ZS Wang/ Nov 22, 2024 | Add 3.5簡易流水燈 |  |

目錄

[Revision History 1](#_Toc183184513)

[1 Requirement 3](#_Toc183184514)

[1.1 software 3](#_Toc183184515)

[1.2 Hardware 3](#_Toc183184516)

[2 前置工作 4](#_Toc183184517)

[2.1 安裝WSL 4](#_Toc183184518)

[2.2 安裝Eclipse IDE 5](#_Toc183184519)

[3 NIOS II 專案創建 6](#_Toc183184520)

[3.1 創建Quartus專案 6](#_Toc183184521)

[3.2 使用Platform Designer 建立Nios II 9](#_Toc183184522)

[3.3 編譯並燒錄Nios II Project 14](#_Toc183184523)

[3.4 使用Eclipse SBT (Software Build Tool) 測試 Hello world 17](#_Toc183184524)

[3.5 簡易流水燈 22](#_Toc183184525)

[4 Q&A 24](#_Toc183184526)

[4.1 如果更換了qsys中的設計 24](#_Toc183184527)

[4.2 address 0x15010 of NiosII.elf section `.bss' is not within region `onchip\_memory2\_RAM' 25](#_Toc183184528)

# Requirement

## software

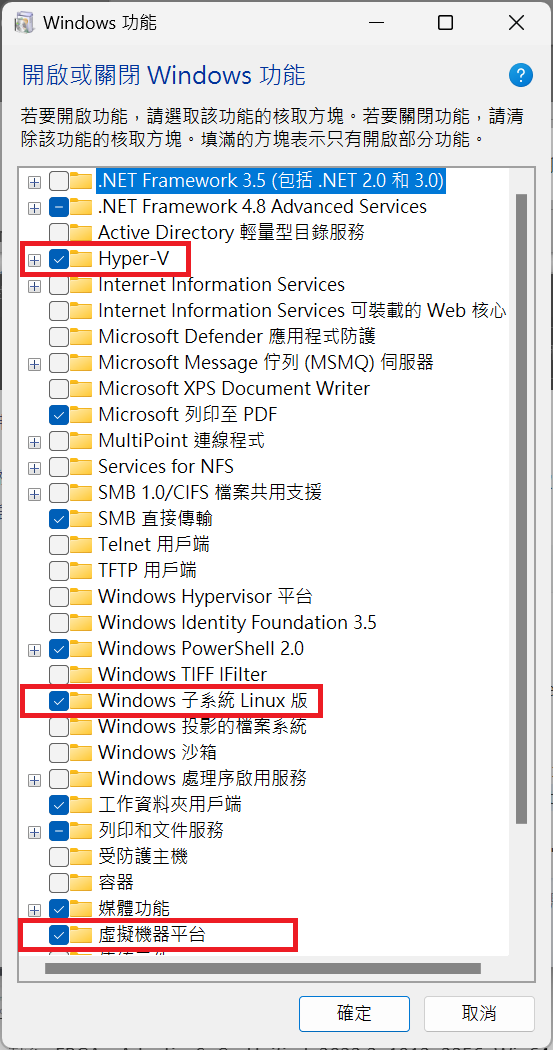
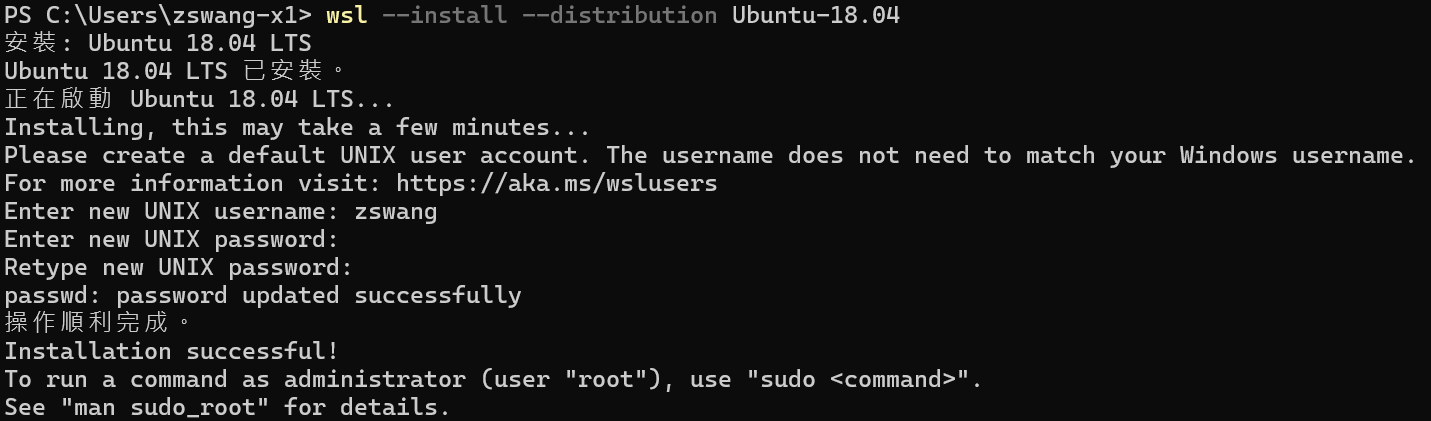
* Intel® Quartus® Prime STANDARD
* 各版本差異比較請參考[Intel](https://www.intel.com/content/dam/www/central-libraries/us/en/documents/quartus-prime-compare-editions-guide.pdf)

## Hardware

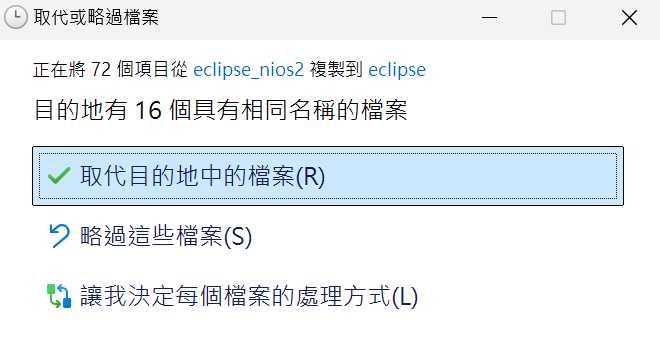
* Intel Max 10 FPGA

# 前置工作

## 2.1 安裝WSL

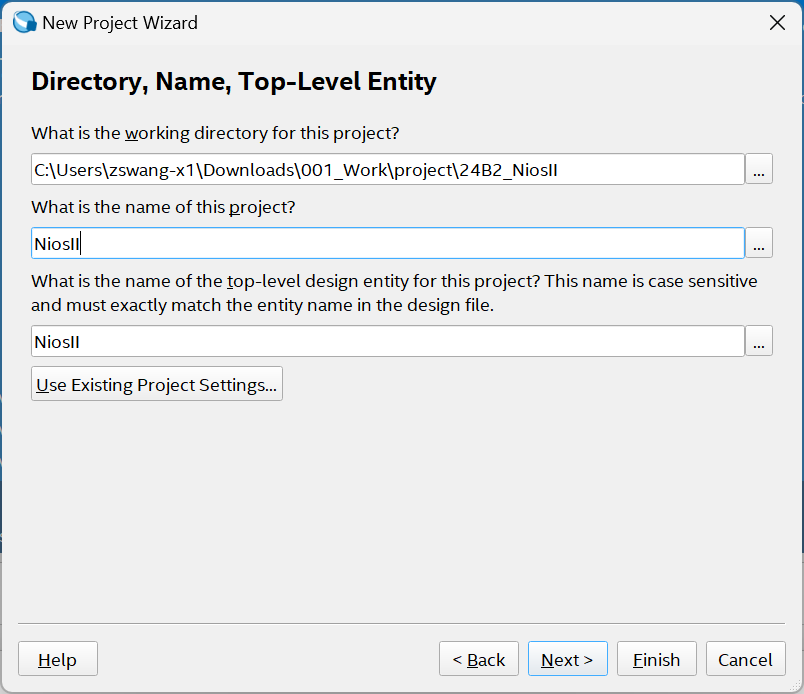
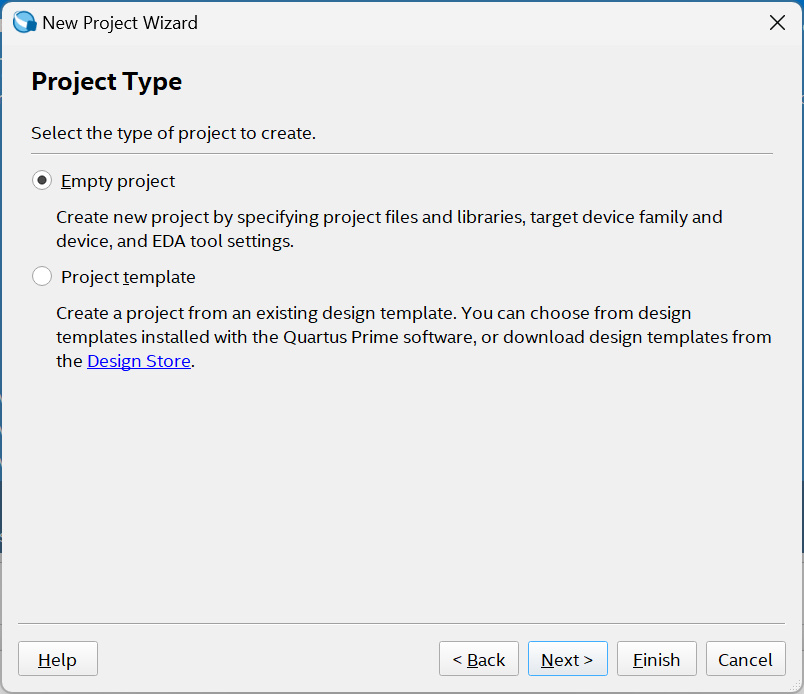
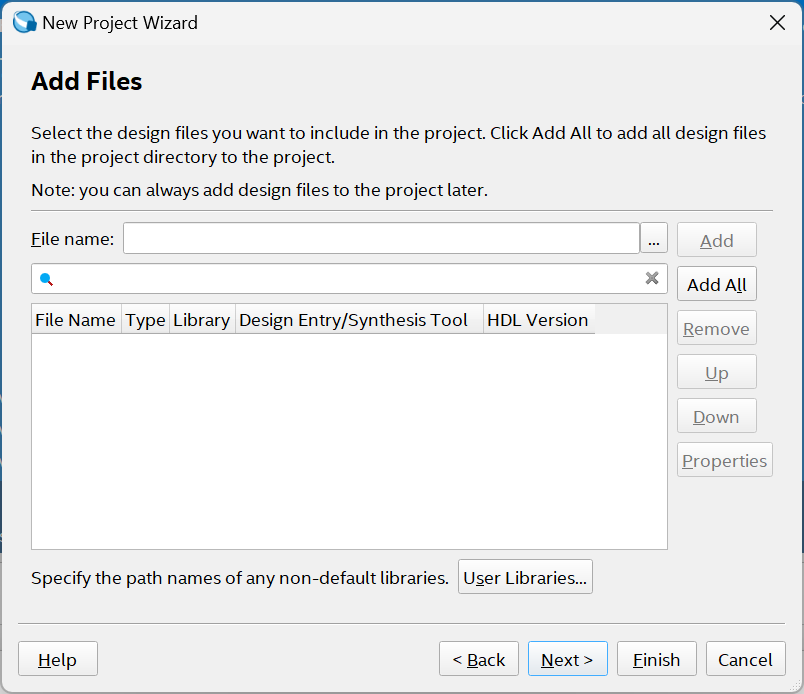
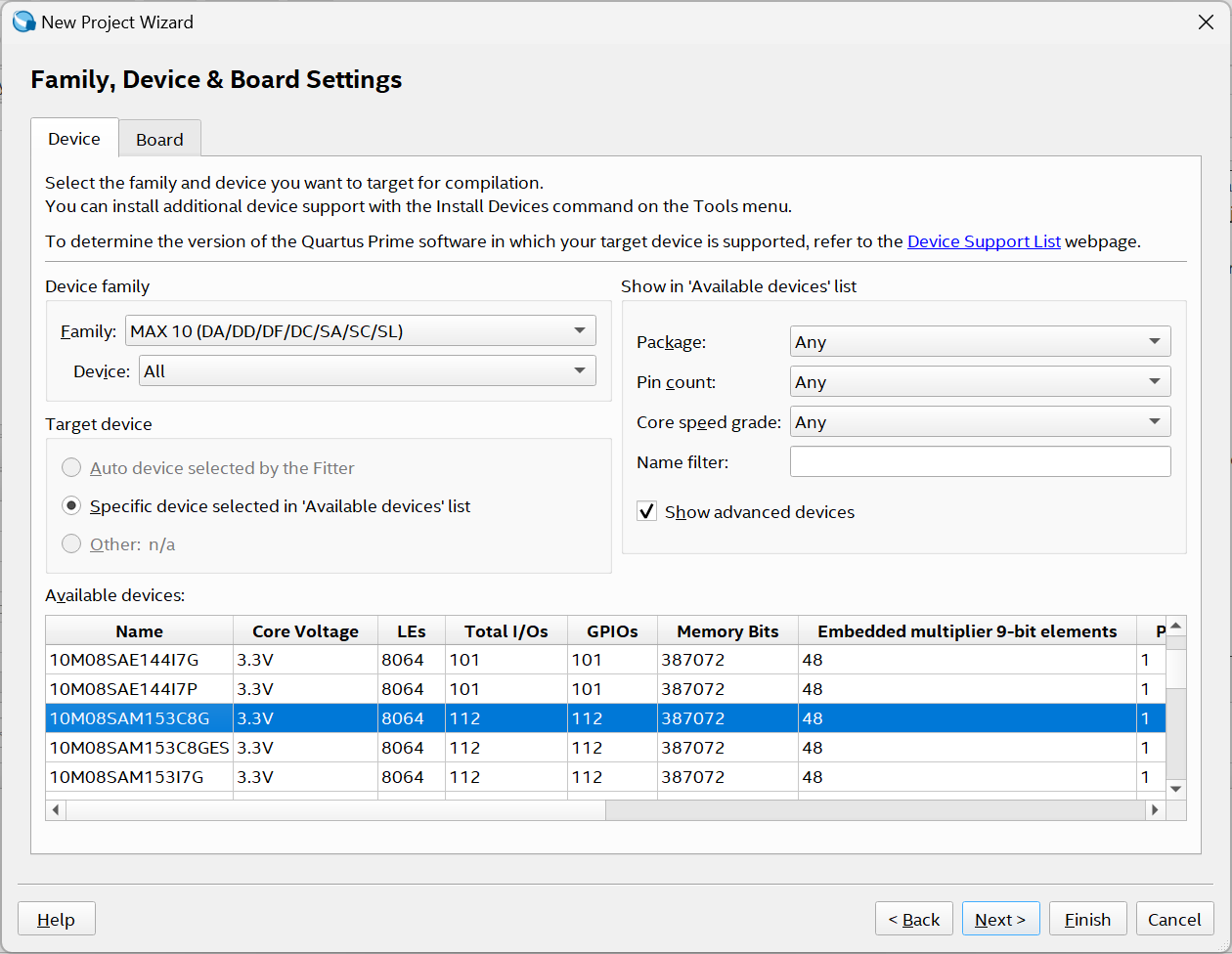
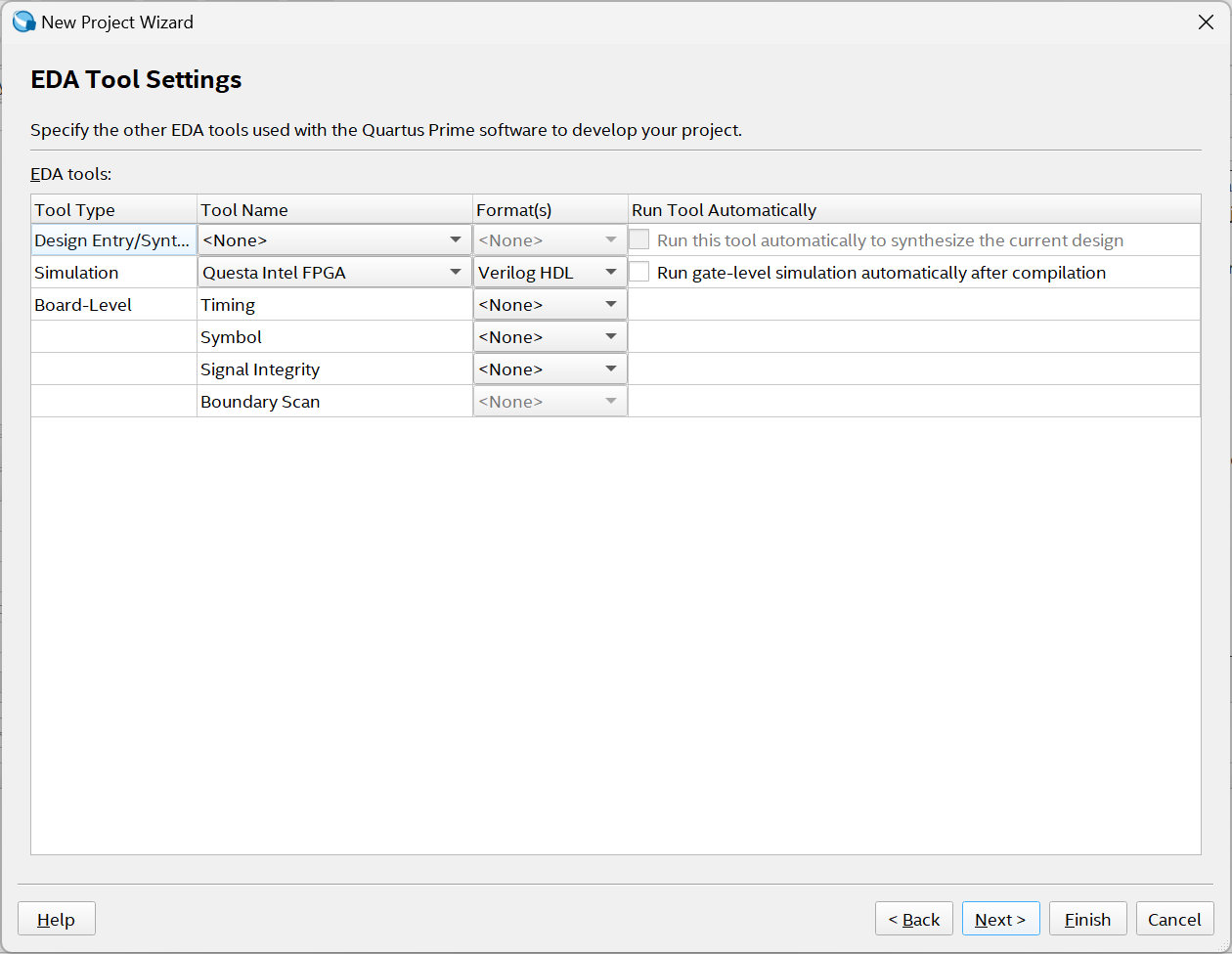
1. 至控制台 🡪 程式集 🡪 程式和功能 🡪 開啟或關閉Windows 功能, 勾選 Hyper-V, Windows 子系統Linux版, 虛擬機器平台 🡪 確定, 並重新開機  
   
2. 開啟powershell 🡪 輸入
   * wsl --set-default-version 1
   * wsl –status
   * wsl --install --distribution Ubuntu-18.04  
     設定一組Ubuntu的帳號密碼  
     
3. 在Ubuntu系統中, 輸入:
   * sudo apt update
   * sudo apt install wsl dos2unix make build-essential
4. 至此完成WSL部分安裝

## 2.2 安裝Eclipse IDE

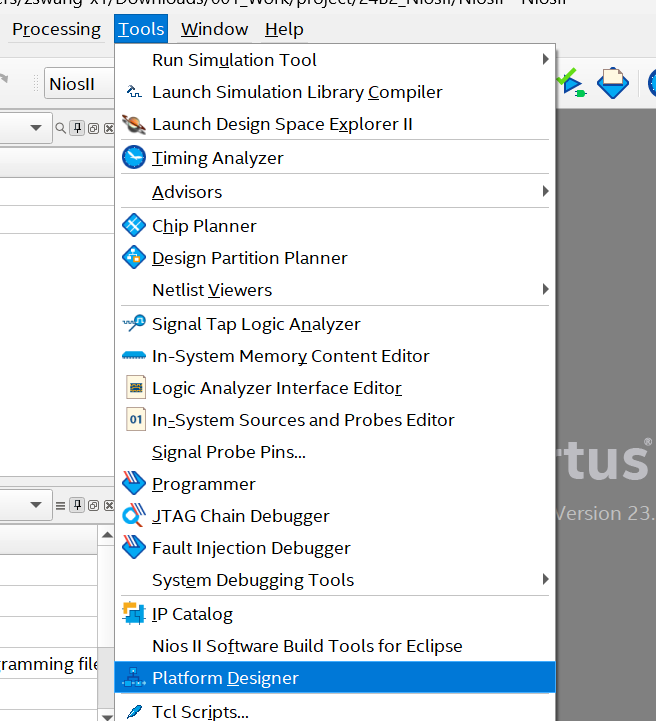
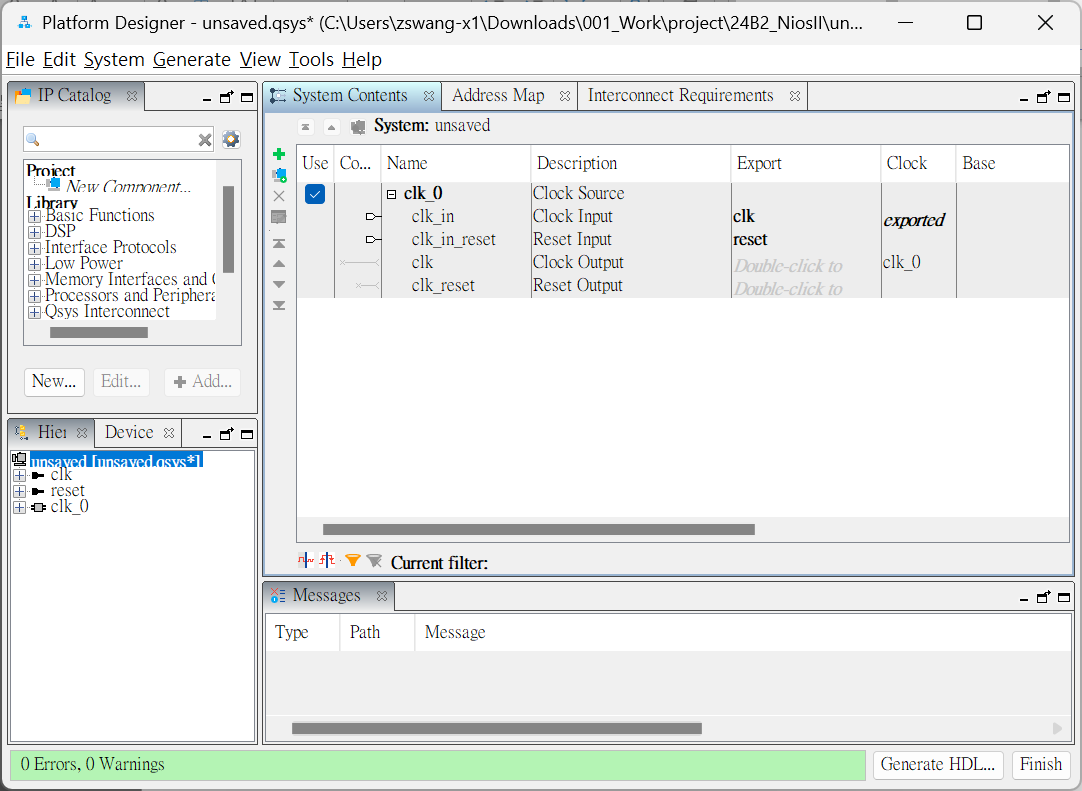
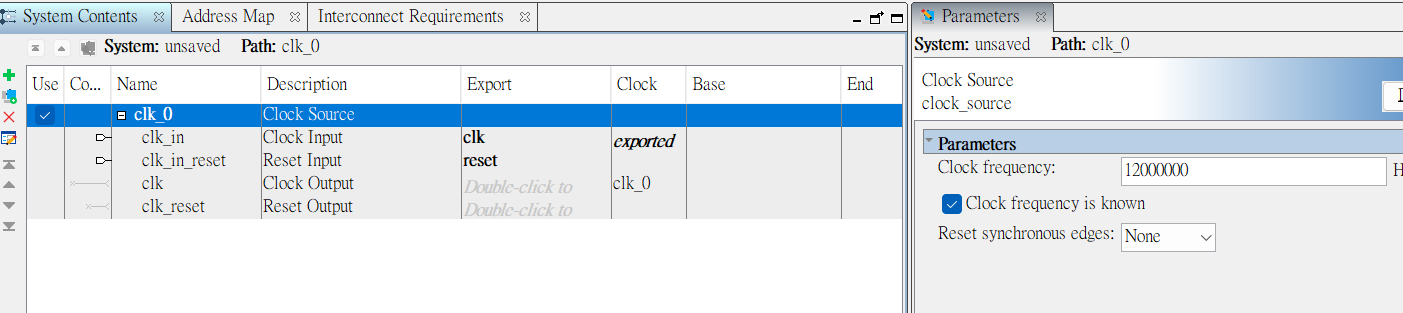
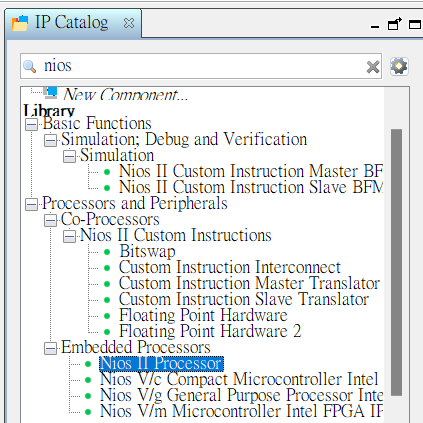
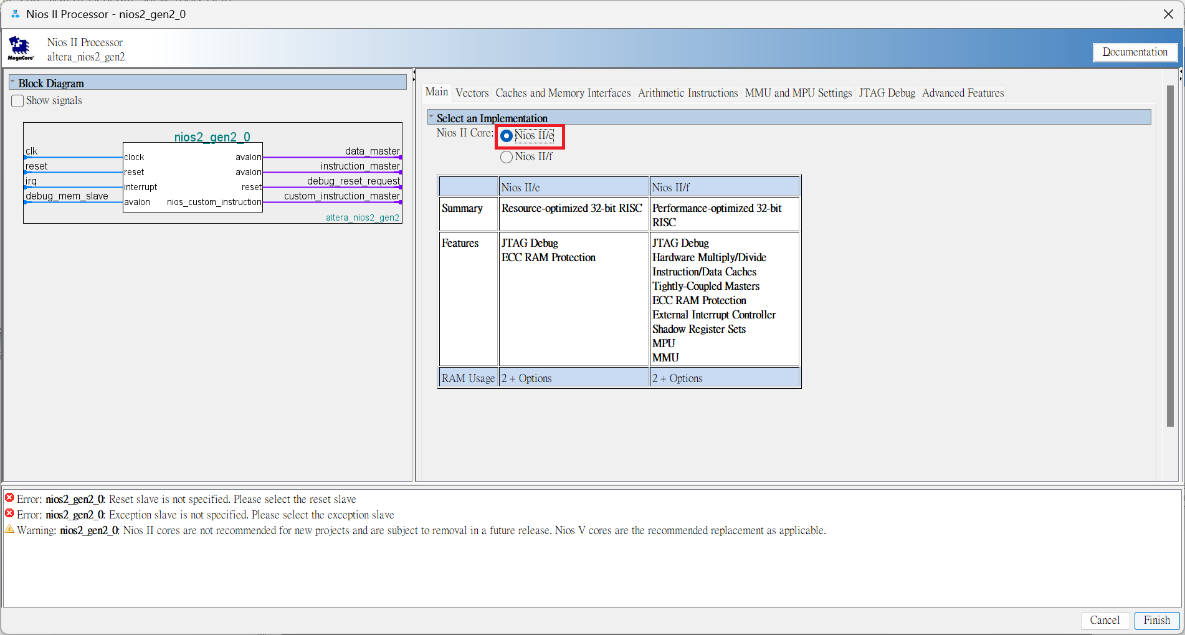
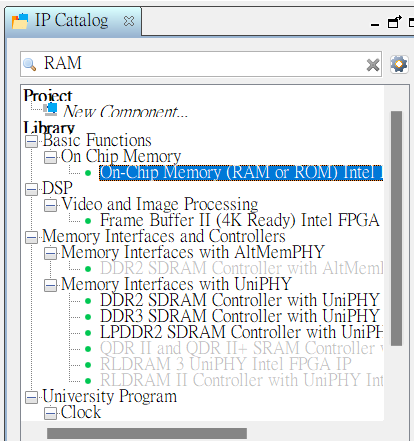
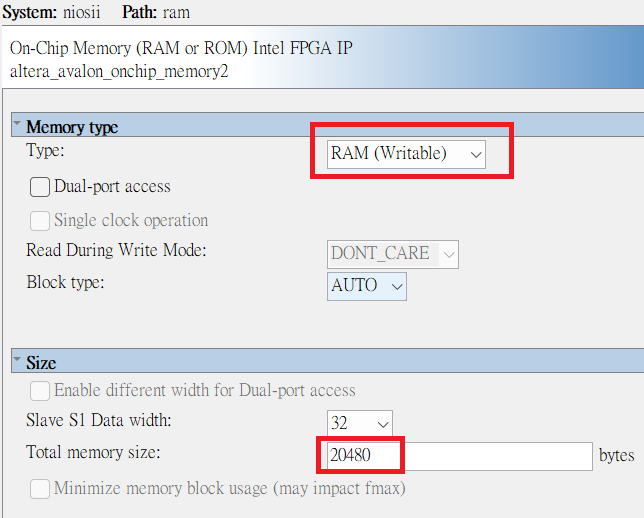
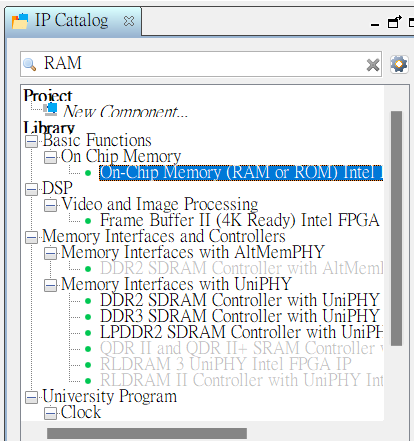
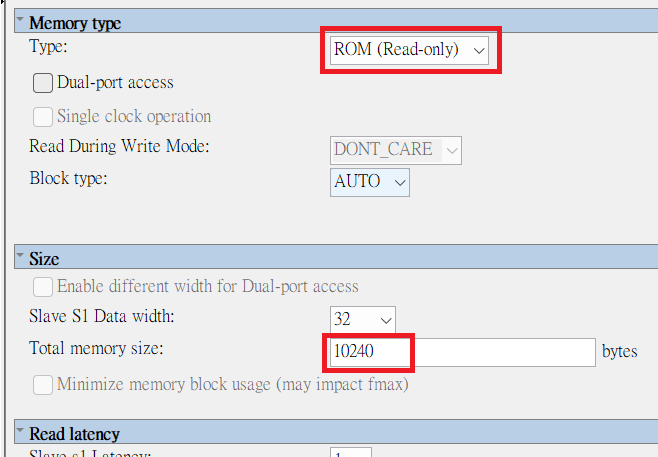
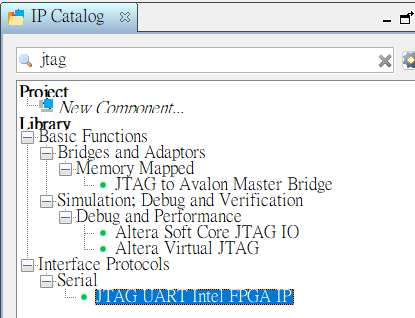
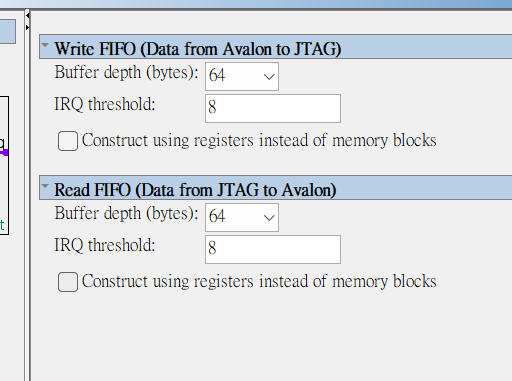
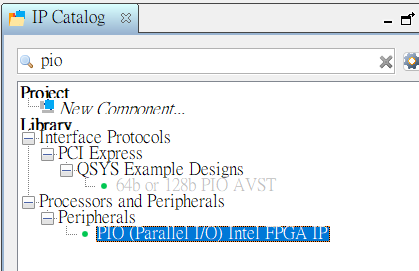
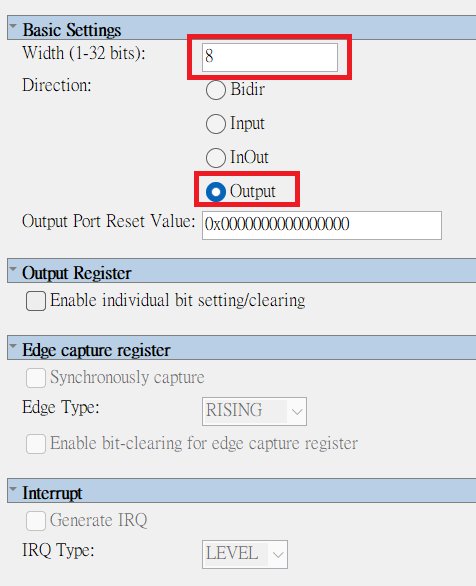
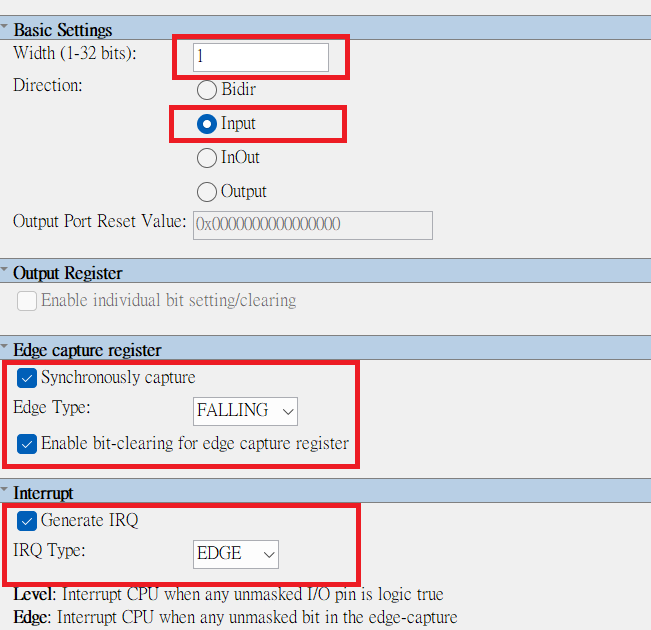
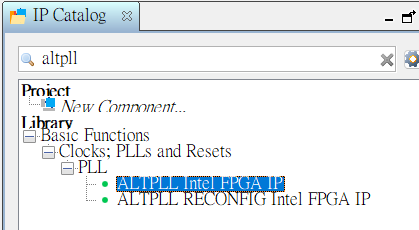
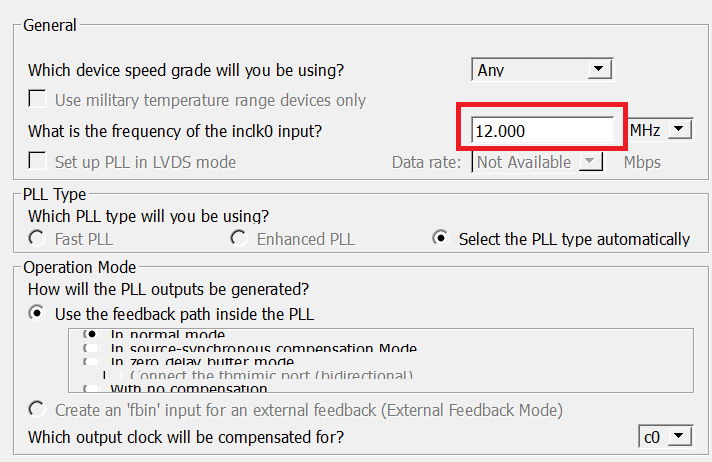
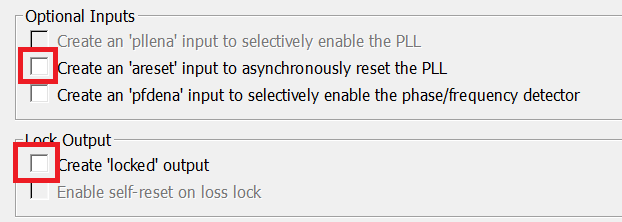
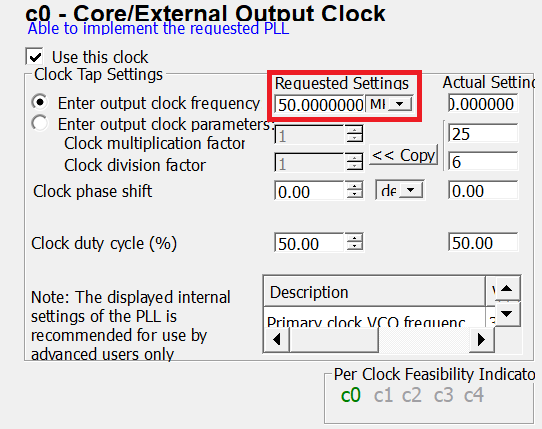
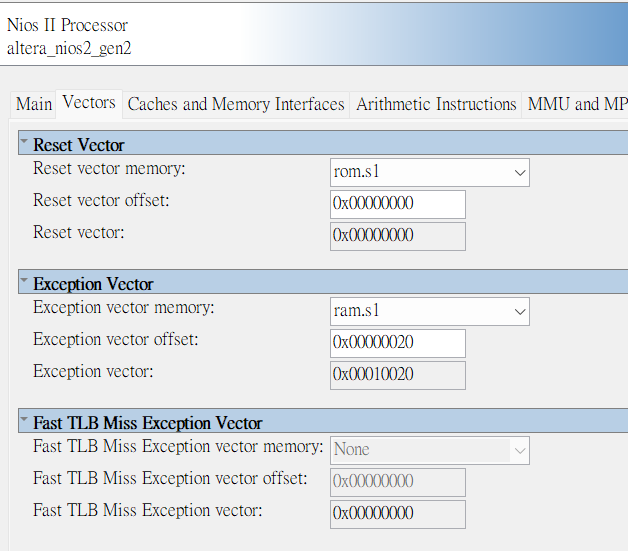
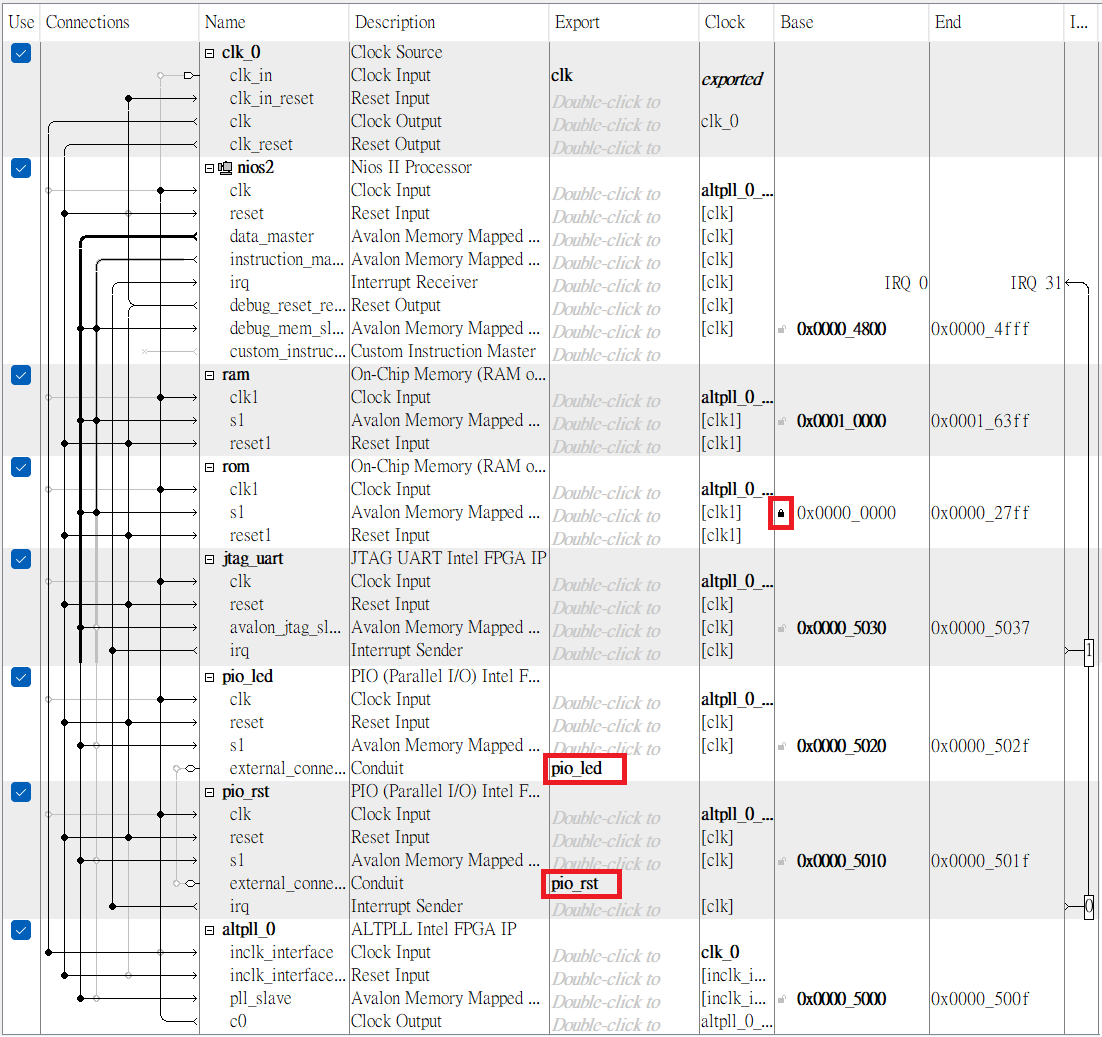
1. (參考Nios® II Software Developer Handbook, 3.1.1. Windows Installation)
2. 建立temp資料夾
3. 下載[CDT 8.8.1](https://archive.eclipse.org/technology/epp/downloads/release/mars/2/eclipse-cpp-mars-2-win32-x86_64.zip) 至temp資料夾🡪 解壓縮檔案獲得eclipse資料夾  
   
4. 至Quartus nios2eds資料夾, 範例為C:\intelFPGA\23.1std\nios2eds\bin   
   (EDS =Embedded Design Suite )  
   🡪 複製eclipse\_nios2\_plugins.zip 至temp資料夾   
   🡪 解壓縮獲得 eclipse\_nios2 資料夾  
   
5. 複製eclipse\_nios2資料夾全部內容至 eclipse資料夾 🡪 選擇”取代目的地中的檔案”  
   
6. 重新命名eclipse資料夾為eclipse\_nios2
7. 把eclipse\_nios2資料夾複製回C:\intelFPGA\23.1std\nios2eds\bin 🡪 選擇”取代目的地中的檔案”  
   
8. 至此完成Eclipse IDE安裝

# NIOS II 專案創建

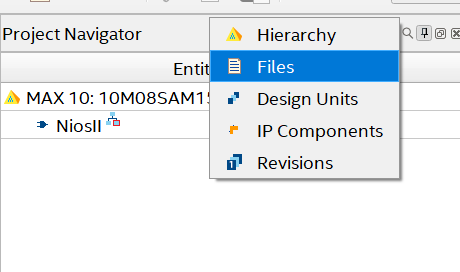
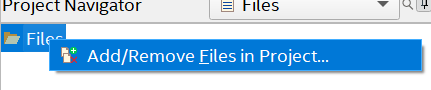
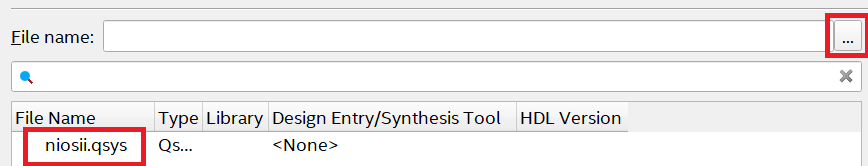
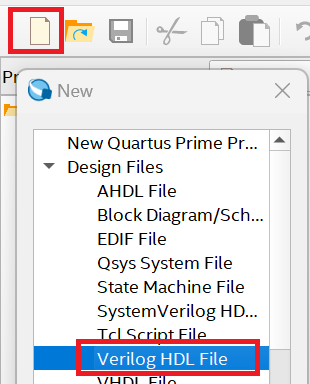
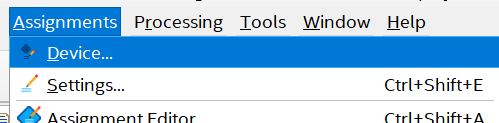
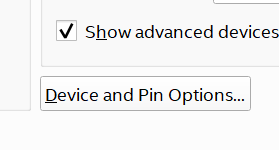
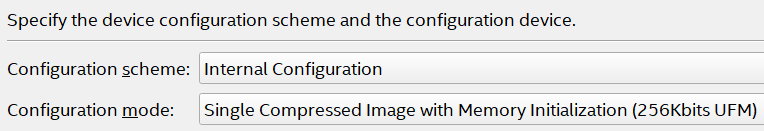
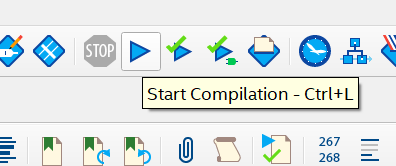
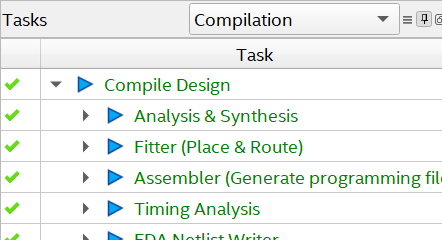
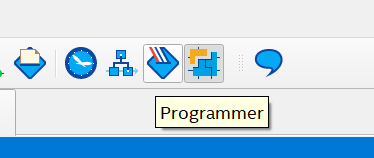
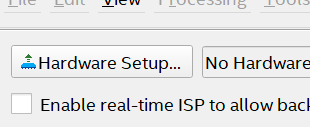
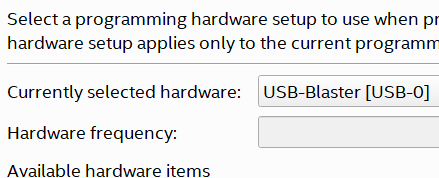
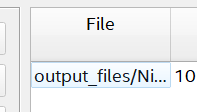
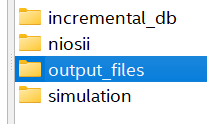
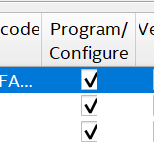
## 3.1 創建Quartus專案

1. File 🡪 New Project Wizard 🡪 填入專案路徑、名稱、Top Entity  
   
2. 選擇Empty Project  
   
3. 沒有預設的檔案要加入, Next即可  
   
4. 本範例以StepFPGA為例, 選用10M08SAM153C8G  
   
5. EDA Tool部分預設即可 🡪 選Next 🡪 Finish  
   

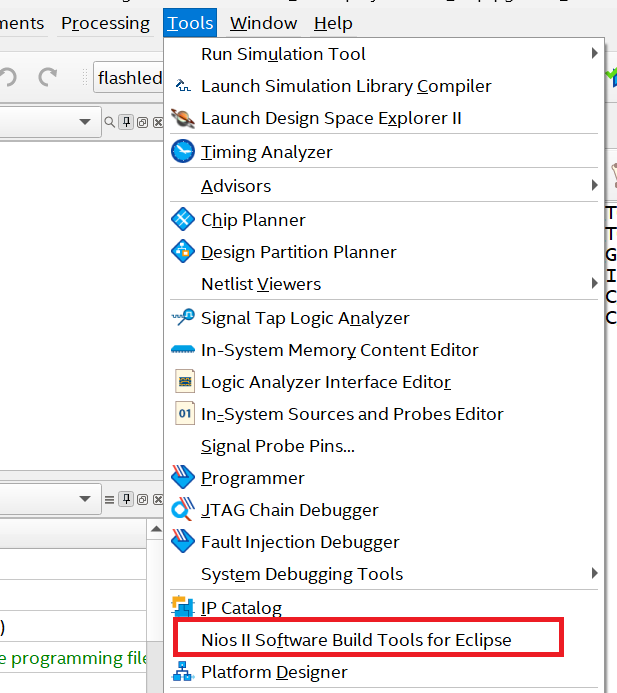
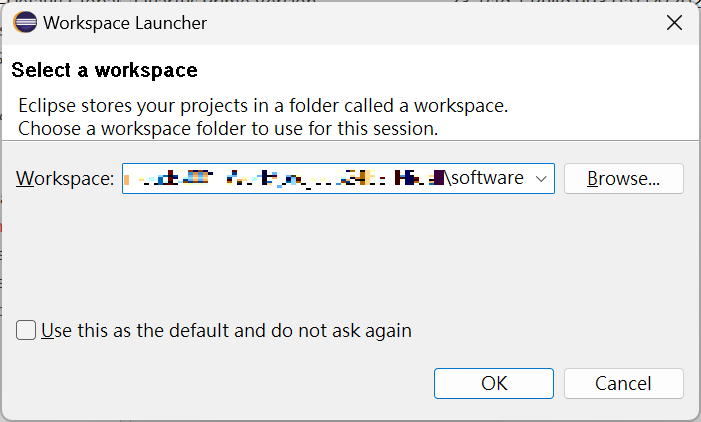
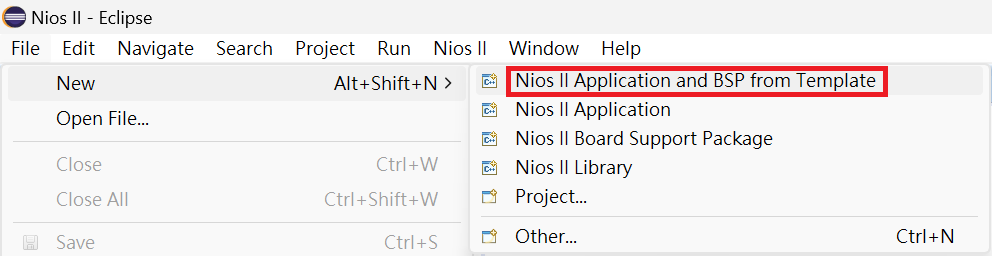
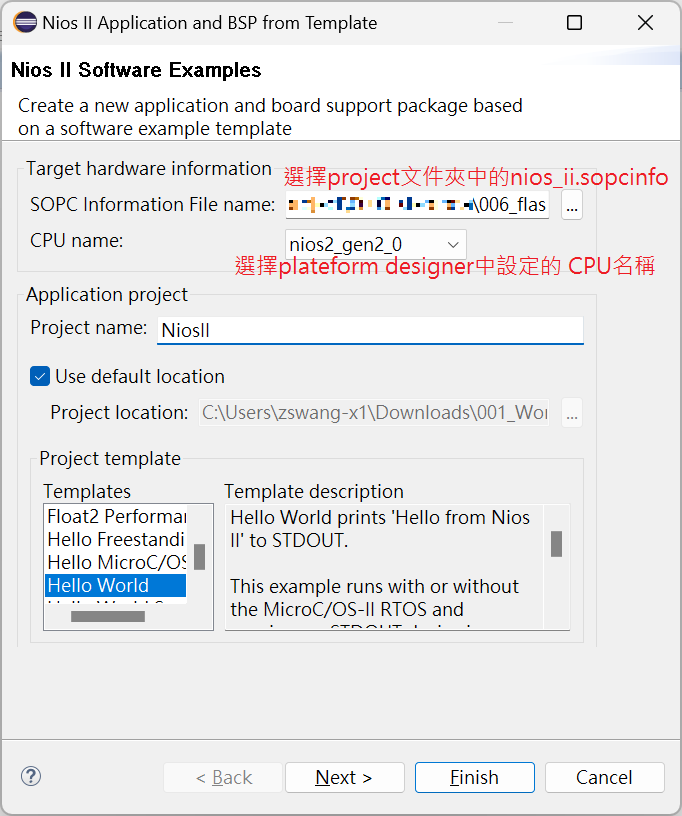
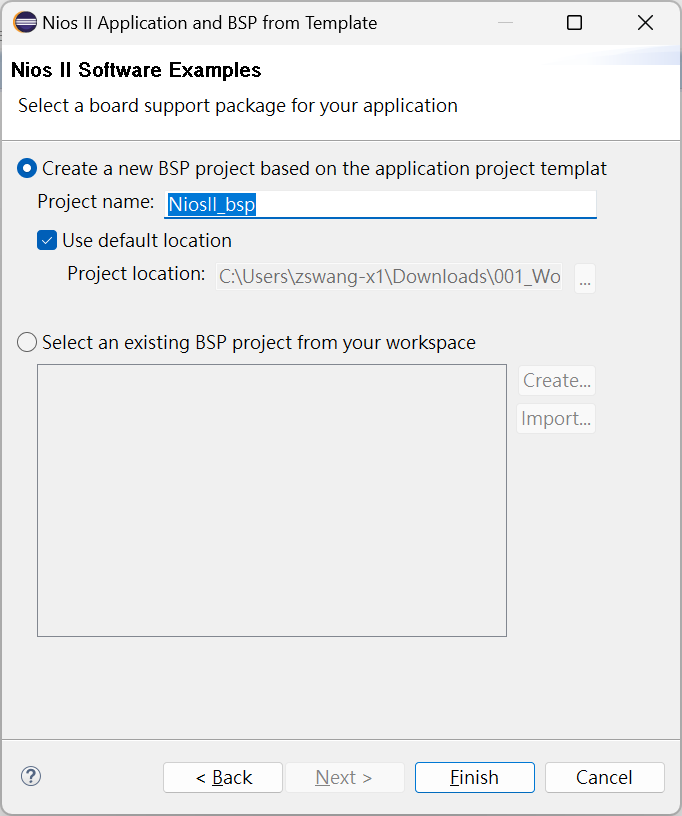
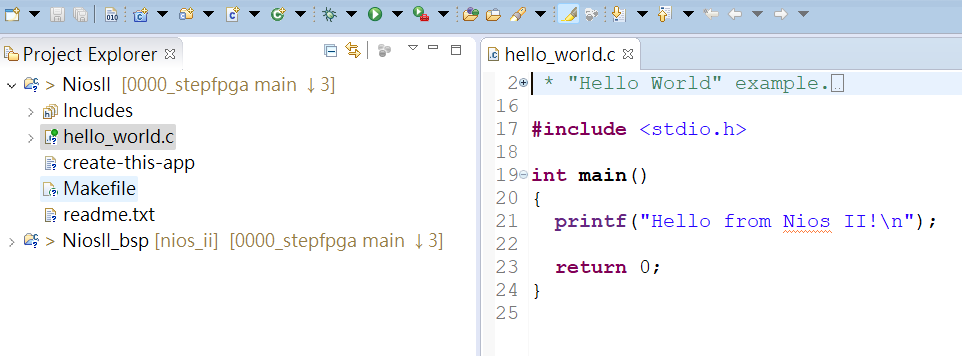
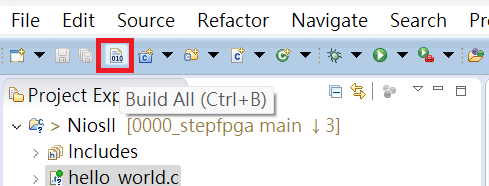
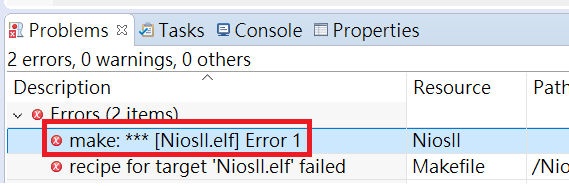
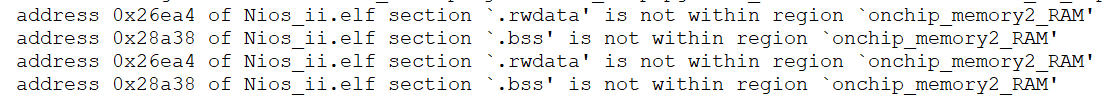
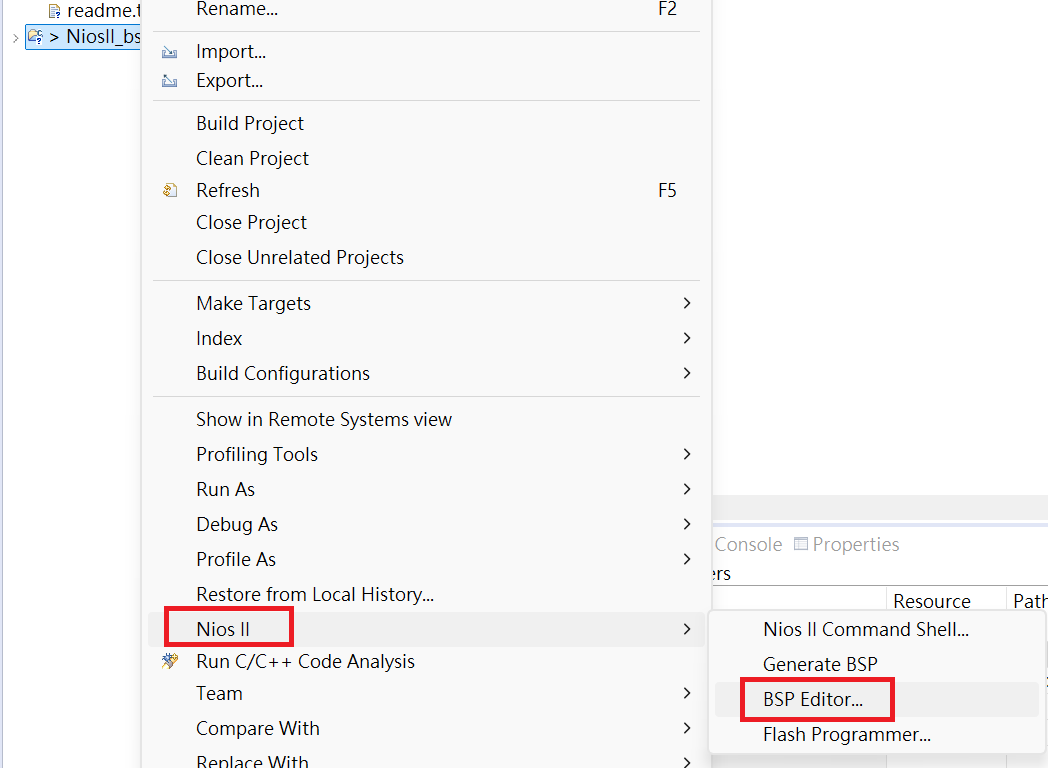
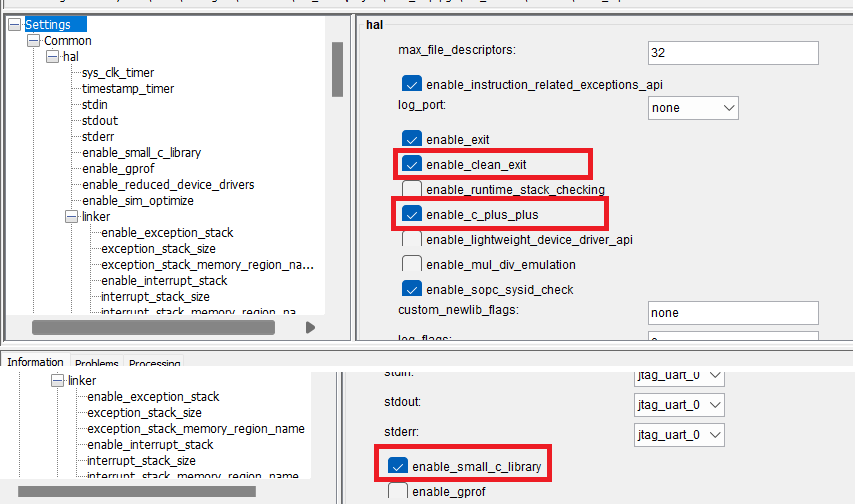
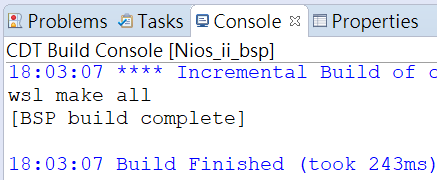
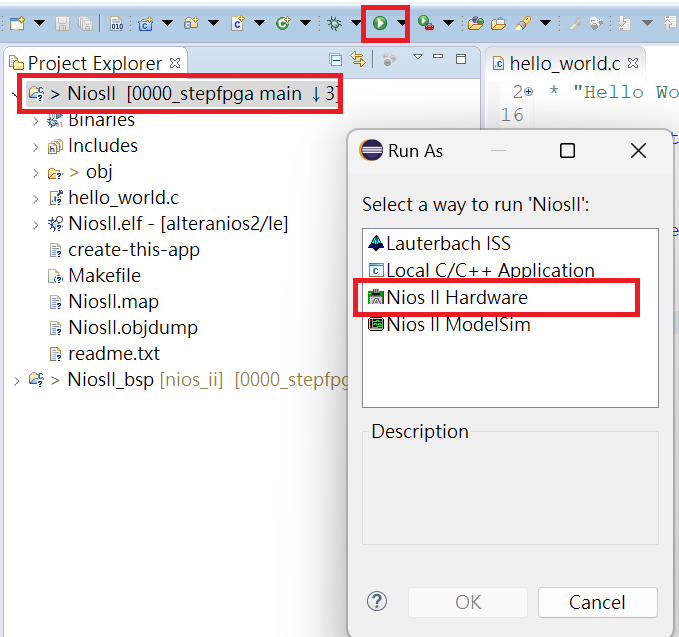
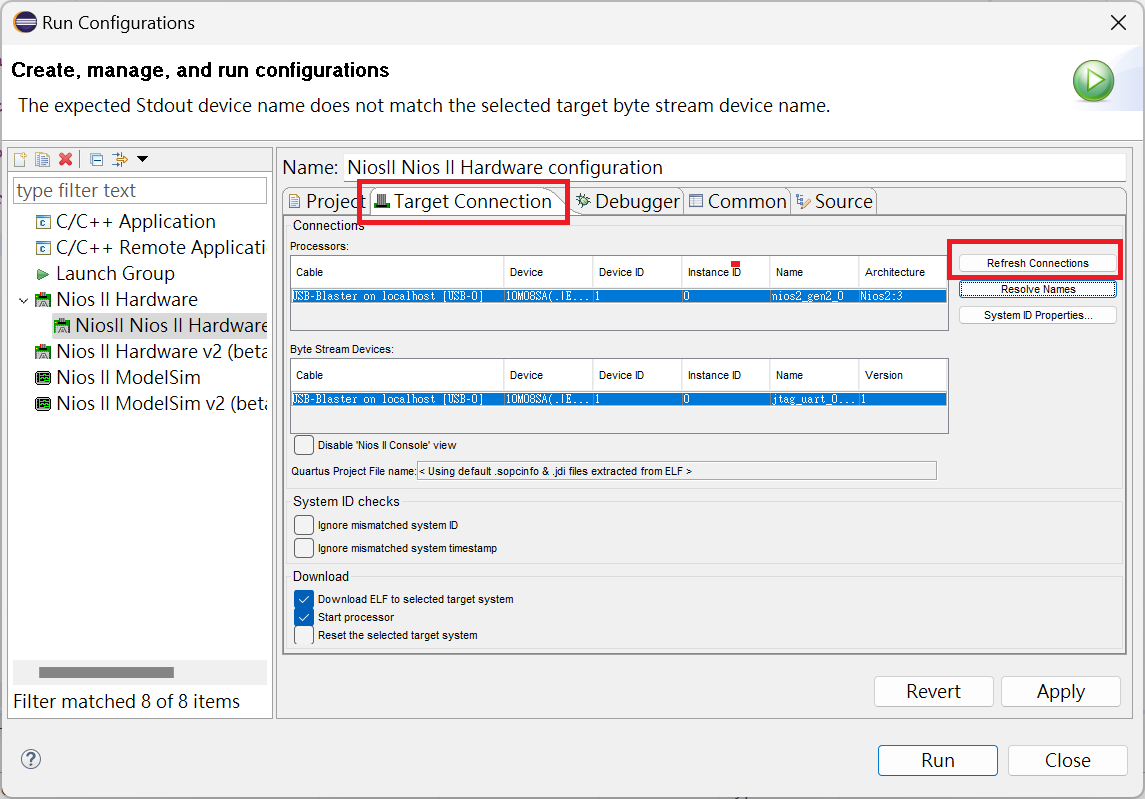
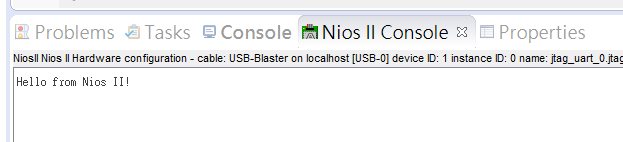
## 3.2 使用Platform Designer 建立Nios II

1. Quartus上方Tools 🡪 Platform Designer   
   
2. Platform Designer分為四個區塊:
   * 左上方IP catalog: 所有該裝置可以使用的IP
   * 左下方Hierarchy: 所有安裝的IP列表, 以及IP port
   * 右上System Content: 系統中IP連接的地方, 各IP可選擇是否要export port
   * 右下Message: 系統目前IP連接之間有任何問題都會顯示於此.  
     
3. 點擊clk\_0, 將頻率設定為12MHz (根據板載晶振頻率設定)  
   
4. 左側IP Catalog搜尋Nios 🡪 點兩下Nios II Processor 🡪 在Main分頁選擇Nios II/e (/e is smallest possible core size, /f is designed for fast performance) 🡪 其餘暫時不動, 擇Finish 🡪 對該IP右鍵rename為nios2  
    
5. 左側IP Catalog搜尋RAM 🡪 點兩下 On-Chip Memory (RAM or ROM) Intel FPGA IP 🡪 選擇 RAM(Writable) 🡪 Total memory size輸入20480 🡪 其餘不動, 點Finish 🡪 對該IP右鍵rename為ram  
    
6. 左側IP Catalog搜尋RAM 🡪 點兩下 On-Chip Memory (RAM or ROM) Intel FPGA IP 🡪 選擇 ROM (Read-only) 🡪 Total memory size輸入10240 🡪 其餘不動, 點Finish 🡪 對該IP右鍵rename為rom  
    
7. 左側IP Catalog搜尋jtag 🡪 點兩下 JTAG UART Intel FPGA IP 🡪 維持預設, 點Finish 🡪 對該IP右鍵rename為jtag\_uart  
    
8. 左側IP Catalog搜尋pio 🡪 點兩下 PIO (Parallel I/O) Intel FPGA IP 🡪 輸出LED有8個, Width設8 🡪 Direction設定為 Output 🡪 點Finish 🡪 對該IP右鍵rename為pio\_led  
    
9. 左側IP Catalog搜尋pio 🡪 點兩下 PIO (Parallel I/O) Intel FPGA IP 🡪 rst按鈕只有一個, Width設1 🡪 Direction設定為 Input 🡪 勾選Syn點Finish 🡪 對該IP右鍵rename為pio\_rst  
   
10. 因為Nios ii最低時脈要20MHz, 再新增一個PLL IP 🡪 左側IP Catalog搜尋altpll 🡪 點兩下 ALTPLL Intel FPGA IP 🡪 輸入時脈改為12 MHz 🡪 取消勾選areset, locked 🡪 C0 clk 設定為50MHz  
    🡪 🡪  
     🡪 
11. 點擊nios2 IP 🡪 Vectors分頁   
    🡪 Reset Vector memory 選 rom.s1   
    🡪 Exception vector memory 選 ram.s1  
    
12. 連接所有IP   
    🡪 將rom的address lock, 點擊鎖頭圖示   
    🡪 於Export 欄位將pio\_led, pio\_rst 設定輸出名稱  
    🡪 自動配置所有IP base address, 上方System 🡪 Assign Base Address  
    連接線以及新的Base Address (每次產生不一定相同) 參考下圖  
    
13. 確認下方Message部分無紅色錯誤 🡪 存檔 🡪 上方Generate 🡪 Generate HDL 🡪 維持預設, 點擊Finish 🡪 等待完成, 點擊Close, 關閉Platform Designer

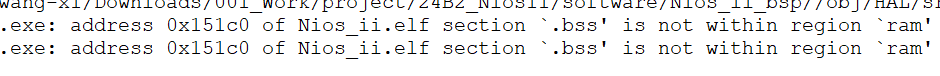
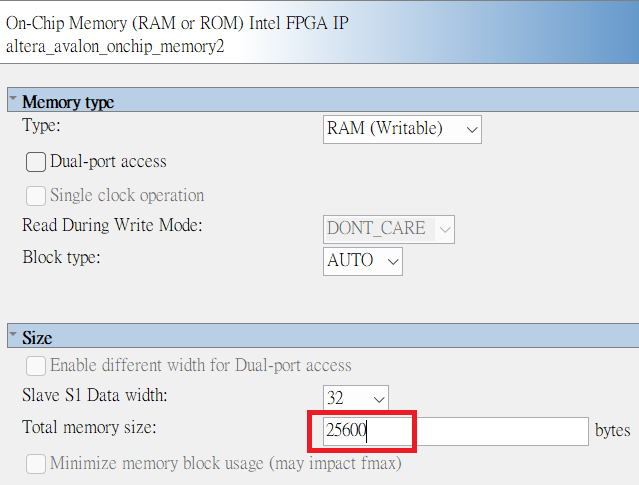
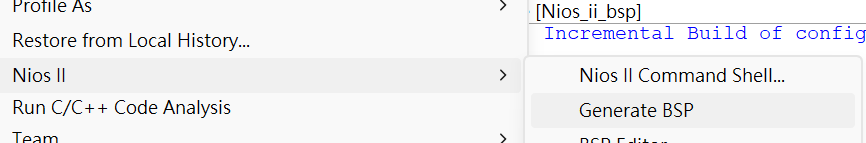
## 3.3 編譯並燒錄Nios II Project

1. 回到Quartus 🡪 左上角Project Navigator選擇 Files  
   
2. 右鍵Files 🡪 點選Add/Remove Files in Project  
   
3. 設計完成的qsys 加入專案 🡪 點擊OK, 關掉視窗  
   
4. 點擊左上角新建檔案 🡪 貼上下方程式碼 🡪 存檔任意命名  
     
   
5. Assignment 🡪 Device 🡪 Device and Pin Options… 🡪 在Configuration 分頁選擇” Single Compressed lmage with Memory lnitialization (256Kbits UFM)”  
    🡪  🡪  
   
6. 點擊三角形icon編譯 🡪 等待Task 下所有項目有綠色打勾  
    🡪 
7. 插上Cable 🡪 點擊右上角Programmer   
   🡪 點擊Hardware Manager 🡪 Currently selected hardware: 選擇USB-Blaster 🡪 點擊Close  
   🡪 雙擊 File 下方 output\_files… 🡪 彈出視窗中找到output\_files資料夾 🡪 可選任一種檔案
   * .sof 檔案: 通過 JTAG 下載到 FPGA 的 SRAM 中, 當 FPGA 斷電後，配置數據會丟失.
   * .pof 檔案: 通過 ASP下載到CFM. FPGA 上電時從這些CFM中讀取數據並加載到 SRAM 中.  
     🡪 將Program/Configure 下方打勾 🡪 點擊左方Start, 待右上角Progress為100%(Successful) 即完成FPGA部分  
      🡪 🡪  🡪  🡪  🡪 

## 3.4 使用Eclipse SBT (Software Build Tool) 測試 Hello world

1. Quartus 上方選擇 Tools 🡪 Nios II Software Build Tools for Eclipse  
   
2. 選擇Eclipse工作目錄, 建議在Quartus專案目錄下新建一個software資料夾  
   
3. File 🡪 New 🡪 Nios II Application and BSP from Template ( BSP = board support package, 作為 )  
   
4. SOPC information File name選擇 nios\_ii.sopcinfo, 會自動帶入CPU name 🡪 點擊Next  
   
5. 預設創建BSP file 🡪 選擇Finish  
   
6. 等待下方Console出現” Build Finished” 🡪 左側會出現兩個專案, 點開沒有\_bsp結尾的  
   🡪 點開hello\_world.c 🡪 右方出現可編輯程式碼  
   
7. 點擊沒有\_bsp結尾的專案 🡪 選擇Build All按鈕 (或Ctrl+B)   
   
8. 下方Problems會出現make Error. 🡪 切換至Console 往上方查找 🡪 發現是地址寫超過RAM範圍  
    🡪   
   
9. 縮小專案大小才能放進RAM, 在\_bsp結尾的專案上右鍵 🡪 Nios II 🡪 BSP Editor…   
   
10. 以下幾個選項可以考慮取消勾選:
    * 若程式碼中沒有使用到C++, 取消勾選enable\_c\_plus\_plus 選項
    * 若程式無冗於, 重複迴圈現象, 取消勾選enable\_clean\_exit 選項
    * 使用精簡C library, 勾選enable\_small\_c\_library 選項  
      點選下方Generate 🡪 點選Exit  
      
11. 再點選Build All 一次 🡪 Console 欄位會沒有任何錯誤  
    
12. 左側選擇沒有\_bsp結尾的專案🡪 點選上方工具列Run As 🡪 選擇 “Nios II Hardware”  
    
13. 彈出Run Configuartion 🡪 點擊Target Connection 🡪 Refresh Connections 🡪 點擊Apply 🡪 點擊Run  
    
14. 下方Niso II Console 會出現 “Hello from Nios II!”  
    

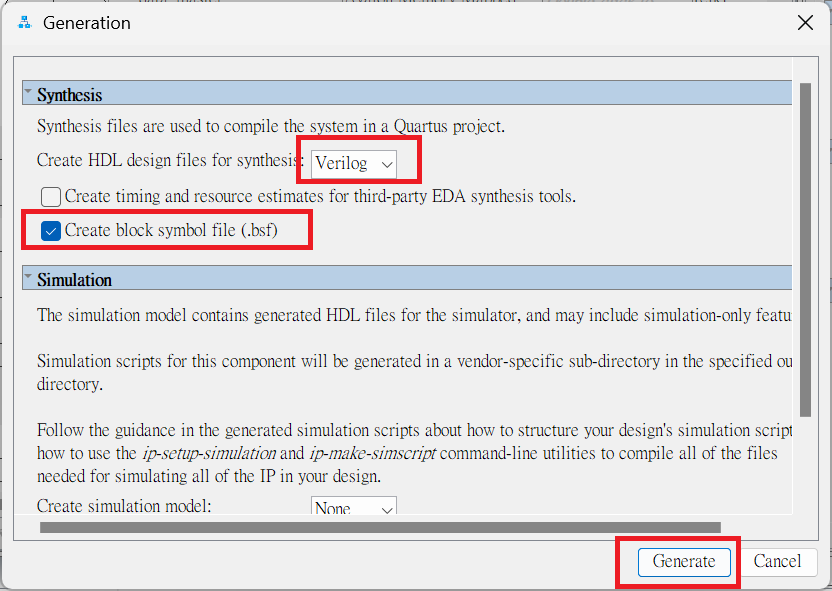
## 3.5 簡易流水燈

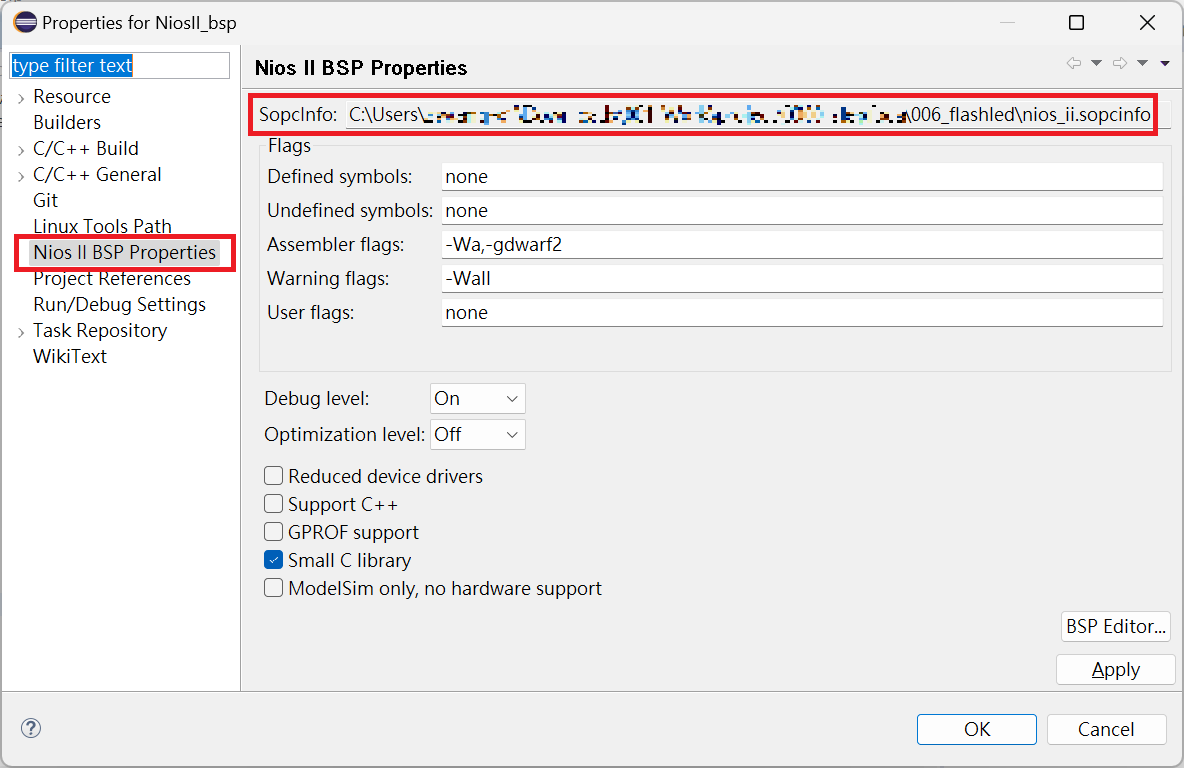
1. 修改hello\_world.c 程式碼如下   
   
2. Build All 完成後會發現專案有錯誤, RAM又再度不足  
   
3. 修改Qsys中的RAM大小為25600 🡪 Generate HDL 🡪 Finish  
   
4. 回到Eclipse 🡪 對有\_bsp結尾的專右鍵 🡪 Nios II 🡪 Generate BSP  
   
5. 最後在執行Build All, 不會看到紅色錯誤.
6. 再次執行Run, 即可寫入Nios程式

# Q&A

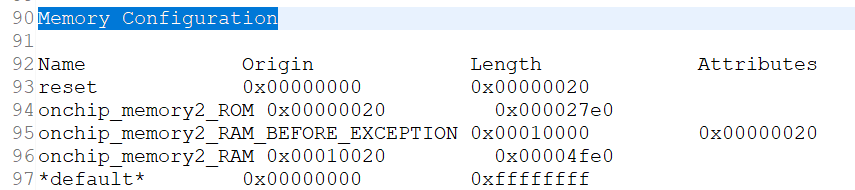
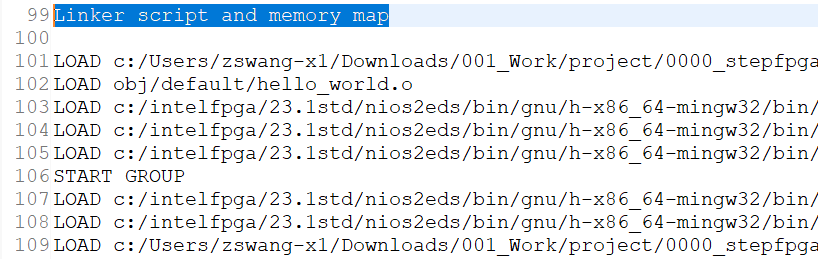
## 4.1 如果更換了qsys中的設計

1. 修改完Qsys中的設計 🡪 按下Save 🡪 上方Generate 🡪 Generate HDL

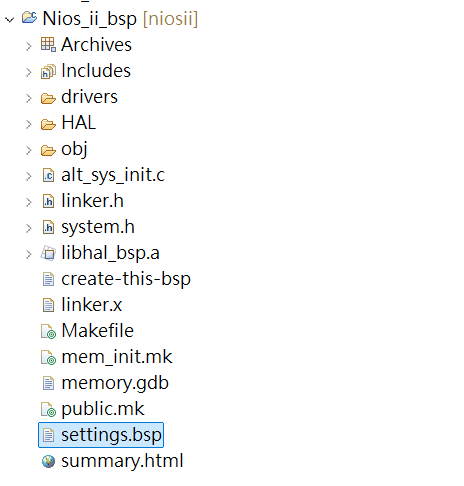


1. 於Quartus 中重新編譯, 並且重新燒錄至Chip上
2. 於Quartus 上方選擇 Tools 🡪 Nios II Software Build Tools for Eclipse
3. 選擇\_bsp結尾的專案 🡪 右鍵選擇 Properties 🡪 於NiosⅡBSP Properties分頁中查看是否SopcInfo路徑正確.  
   
4. 若SopcInfo路徑有誤, 於Settings.bsp中修改
5. 右鍵\_bsp結尾的專案 🡪 Nios II 🡪 Generate BSP
6. 右鍵\_bsp結尾的專案 🡪 Build Project , 完成Board Support Project的更新.

## 4.2 address 0x15010 of NiosII.elf section `.bss' is not within region `onchip\_memory2\_RAM'

1. 檢查專案中NiosII.map 🡪 Memory Configuration 會列出目前地址配置  
   
2. 下方Linker script and memory map 會列出所有Linker用到的地址.  
   
3. 找到 .bss 0x00015010, 他所分配的位址已經超出Configuration設定的範圍
4. 解決方式: 回到Qsys中將Ram加大 (注意不可以超過該裝置M9K上限)

## 4.2 Generate BSP 時報錯 “SEVERE: File not found: ..\..\niosii.sopcinfo”

1. 至setting.bsp中找到 <SopcDesignFile> 修正路徑即可  
   
2. < BspGeneratedLocation> 為BSP專案輸出路徑, 需確認是否為正確路徑